

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

598 P1211 US00
JC511 U.S. PTO
09/210540
12/14/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1997年12月15日

出願番号

Application Number:

平成 9年特許願第345363号

出願人

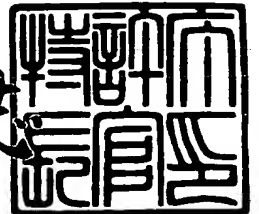
Applicant (s):

ソニー株式会社

1998年 9月18日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平10-3076091

【書類名】 特許願

【整理番号】 9705876101

【提出日】 平成 9年12月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8238

【発明の名称】 半導体装置

【請求項の数】 8

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 中山 創

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

素子分離によって互いに分離して配置され、第 1 および第 2 の導電型の素子がそれぞれ形成される第 1 および第 2 の素子形成領域と、

前記第 1 の素子形成領域上に設けられ、第 1 の導電型の不純物が導入された第 1 のゲート電極と、

前記第 2 の素子形成領域上に前記第 1 のゲート電極に対向して設けられ、第 2 の導電型の不純物が導入された第 2 のゲート電極と、

前記第 1 の導電型の不純物が導入され、一端が前記第 1 のゲート電極の端部に接続され、前記第 1 および第 2 のゲート電極の配置方向とは異なる方向に設けられた第 1 の不純物貯留層と、

前記第 2 の導電型の不純物が導入され、一端が前記第 2 のゲート電極の端部に接続され、他端が前記第 1 の不純物貯留層の他端と電氣的に接続され、前記第 1 および第 2 のゲート電極の配置方向とは異なる方向に設けられた第 2 の不純物貯留層と

を有する半導体装置。

【請求項 2】

前記第 1 および第 2 の不純物貯留層は、不純物が導入されていない半導体層を介して物理的に接続されている

請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 および第 2 の不純物貯留層の各々の他端は、上層に設けられた導電層を介して電氣的に接続されている

請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 および第 2 の不純物貯留層は、前記第 1 および第 2 のゲート電極の配置方向と直交する方向に設けられている

請求項 1 に記載の半導体装置。

【請求項 5】

前記第 1、第 2 のゲート電極および前記第 1、第 2 の不純物貯留層とは同一のポリシリコン層内に形成されている

請求項 1 に記載の半導体装置。

【請求項 6】

前記素子分離は、半導体基板内に互いに隣接して形成された第 1 および第 2 の導電型の素子形成領域の境界を跨ぐように当該半導体基板内に形成されたトレンチ状の溝に埋め込まれている

請求項 1 に記載の半導体装置。

【請求項 7】

前記素子分離は、絶縁体層上に形成された半導体層からなる前記第 1 および第 2 の素子形成領域を分離する

請求項 1 に記載の半導体装置。

【請求項 8】

前記素子分離は、前記半導体層に形成されたトレンチ状の溝に埋め込まれている

請求項 7 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係わり、たとえば、正孔をキャリアとして用いる p チャンネル MOS（以下、PMOS という）FET（metal-oxide-semiconductor field effect transistor: 金属-酸化膜-半導体構造の電界効果トランジスタ）および電子をキャリアとする n チャンネル MOS（以下、NMOS という）FET が同一チップ上に共存する CMOS（complementary MOS）半導体装置に関する。

【0002】

【従来の技術】

現在、多くのCMOS集積回路では、そのゲート電極構造として、金属シリサイド層とポリシリコン層との2層からなるポリサイドゲート電極構造が採用され、ゲート電極の低抵抗化が図られている。

また、同一基板にNMOSFETとPMOSFETとを有するCMOSでは、短チャネル効果の抑制、しきい値 V_{th} の制御などの観点から、いわゆるDual Gate構造のゲート電極を有するCMOSが一般に知られている。

【0003】

【発明が解決しようとする課題】

Dual Gate構造のCMOSは、例えば、図4に示すような構造となっている。

図4に示すように、PMOSおよびNMOSが形成される素子分離領域103で囲まれた素子形成領域104、105が形成され、これらの素子形成領域104上には、素子分離領域103を跨いでポリシリコン配線層106が形成されている。

ポリシリコン配線層106は、PMOSが形成される素子形成領域104上には、p+型の不純物がドーピングされ、NMOSが形成される素子形成領域105上には、n+型の不純物がドーピングされることによってそれぞれ導電化されゲート電極101および102を構成している。なお、ゲート電極101と102との電氣的接続は、後工程においてポリシリコン配線層106上に形成される金属シリサイド層によって行なわれる。

しかしながら、図4に示す構造のCMOSでは、ゲート電極101と102にドーピングされた不純物がいわゆる横方向拡散現象を引き起こして、ポリシリコン配線層106の不純物がドーピングされていない領域106a中に拡散しやすい。

この横方向拡散現象が生じると、ゲート電極101と102にドーピングされた不純物が抜け出し、各ゲート電極において不純物濃度が低下し、しきい値電圧 V_{th} の変動やゲート電極の空乏化に基づくドレイン-ソース間電流 I_{DS} の低下をもたらす。

【0004】

このドレインソース間電流 I_{DS} の低下を防ぐために、たとえば、図5に示すような構造のCMOSが提案されている。

図5に示すCMOSは、p+型の不純物がドーピングされたゲート電極101およびn+型の不純物がドーピングされたゲート電極102を素子分離領域103にはみ出して形成されている。すなわち、ゲート電極101および102を不純物をイオン注入して形成する際に、素子形成領域104および105からポリシリコン配線層106上に長さ L_{diff} ではみ出して不純物をドーピングすることにより、このはみ出した領域101a、102aが不純物を貯留する不純物貯留源となる。

なお、ポリシリコン配線層106の不純物をドーピングしない領域106aの幅 $2 \times L_{ovlp}$ は、不純物のイオン注入の際のマスクの重ね合わせずれを考慮したマージンである。

また、長さ L_{diff} は、ゲート電極101および102の不純物濃度が低下しないために必要な長さである。

これにより、ゲート電極101および102の不純物の濃度の低下を大幅に抑制することができ、ドレインソース間電流 I_{DS} の低下を防ぐことができる。

【0005】

しかしながら、図5に示す構造のCMOSでは、PMOSおよびNMOSが形成される素子形成領域104および105間の距離 L_p は、 $2 \times (L_{diff} + L_{ovlp})$ となる。

不純物をはみ出してドーピングした領域101aおよび102aを不純物の貯留源として適切に機能させるためには、長さ L_{diff} をある程度必要とするため（たとえば、 L_g が $0.2 \mu m$ の場合に L_{diff} が $0.30 \mu m$ ）、PMOSとNMOSとの距離 L_p を短縮するのが困難であり、チップのさらなる縮小化が難しかった。

【0006】

本発明は、Dual Gate 構造を有するCMOSのn型およびp型ゲート電極にそれぞれドーピングされた不純物が横方向拡散するのを抑制しつつ、PMOSとNMOSとの距離をさらに短縮して、さらなる縮小化が可能な半導体装置を提供するこ

とを目的とする。

【0007】

【課題を解決するための手段】

本発明は、素子分離によって互いに分離して配置され、第1および第2の導電型の素子がそれぞれ形成される第1および第2の素子形成領域と、前記第1の素子形成領域上に設けられ、第1の導電型の不純物が導入された第1のゲート電極と、前記第2の素子形成領域上に前記第1のゲート電極と対向して設けられ、第2の導電型の不純物が導入された第2のゲート電極と、前記第1の導電型の不純物が導入され、一端が前記第1のゲート電極の端部に接続され、前記第1および第2のゲート電極の配置方向とは異なる方向に設けられた第1の不純物貯留層と、前記第2の導電型の不純物が導入され、一端が前記第2のゲート電極の端部に接続され、他端が前記第1の不純物貯留層の他端と電氣的に接続され、前記第1および第2のゲート電極の配置方向とは異なる方向に設けられた第2の不純物貯留層とを有する。

【0008】

本発明では、第1の素子形成領域の外に第1のゲート電極に接続する第1の不純物貯留層を設けることにより、第1のゲート電極と第1の不純物貯留層との間に不純物濃度の差が無くなって、第1のゲート電極からの不純物の横方向拡散が抑制される。

同様に、第2の素子形成領域の外に第2のゲート電極に接続する第2の不純物貯留層を設けることにより、第2のゲート電極と第2の不純物貯留層との間に不純物濃度の差が無くなって、第2のゲート電極からの不純物の横方向拡散が抑制される。

これに加えて、第1および第2のゲート電極に接続された第1および第2の不純物貯留層は、第1および第2のゲート電極の配置方向とは異なる方向に設けられ、かつ両者の先端同士が電氣的に接続されている。

このことから、第1および第2のゲート電極の配置方向に沿って同じ長さの第1および第2の不純物貯留層を設けた場合に比べて、第1および第2の素子形成領域間の間隔を近接させることが可能になり、CMOSの場合にはPMOSとN

MOSとの間隔を短縮化でき、半導体装置の縮小化が可能となる。

【0009】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

図1は、本発明の半導体装置のゲート電極の構造の一実施形態を示す説明図である。

図1において、PMOSが形成されるPMOS形成領域4とNMOSが形成されるNMOS形成領域5とが互いに距離 L_p で離間して配置されている。

PMOS形成領域4上には、ポリシリコン層1にp+不純物が導入された、ゲート長 L_g 、ゲート幅 L_w のp型ゲート電極2が設けられる。

NMOS形成領域5上には、ポリシリコン層1にn+不純物が導入された、ゲート長 L_g 、ゲート幅 L_w のn型ゲート電極3がp型ゲート電極2の設けられた方向にp型ゲート電極2に対向して設けられる。

なお、NMOS、PMOSのゲート幅 L_w を同一符号で表したが、一般的には、両者の寸法は異なっているのが通例である。

また、PMOS形成領域4とNMOS形成領域5との間には素子分離7が存在する。

なお、図示しないが、ポリシリコン層1上には、サリサイド(Self Aligned Silicate)技術によってタングステンシリサイド等の金属シリサイド層が設けられ、p型ゲート電極2とn型ゲート電極3とを電氣的に接続する。

【0010】

PMOS形成領域4の外には、p型の不純物貯留層6がp型ゲート電極2のゲート幅 L_w 方向に直交するように設けられる。

p型の不純物貯留層6は、長さが $L_H + L_g$ であり、幅がゲート長 L_g に等しく、一端がp型ゲート電極2と接続され、他端がポリシリコン配線10と接続される。

NMOS形成領域5の外には、n型の不純物貯留層8がn型ゲート電極3のゲート幅 L_w 方向に直交するように設けられる。

n型の不純物貯留層8は、長さが $L_H + L_g$ であり、幅がゲート長 L_g に等し

く、一端がn型ゲート電極3と接続され、他端がポリシリコン配線10と接続される。

【0011】

上記のp型ゲート電極2、n型ゲート電極3、p型の不純物貯留層6、n型の不純物貯留層8およびポリシリコン配線層10は同一のポリシリコン層1内に形成されている。

p型ゲート電極2およびp型の不純物貯留層6は、ポリシリコン層1の所定の領域に、p+不純物を選択的にイオン注入することによって形成される。

p+不純物は、例えば、フッ化ホウ素イオン (BF_2^+) が所定のエネルギー量、ドーズ量で打ち込まれる。

n型ゲート電極3およびn型の不純物貯留層8は、ポリシリコン層1の所定の領域に、n+不純物を選択的にイオン注入することによって形成される。

n+不純物は、例えば、砒素イオン (As^+) が所定のエネルギー量、ドーズ量で打ち込まれる。

【0012】

一方、ポリシリコン配線10は、p型の不純物貯留層6およびn型の不純物貯留層8の先端部を相互に物理的に接続している。

ポリシリコン配線10のp型の不純物貯留層6とn型の不純物貯留層8との先端部間の間隔は $2 \times L_{\text{ovlp}}$ となっている。

ポリシリコン配線10の間隔 $2 \times L_{\text{ovlp}}$ の部分は、p型ゲート電極2およびp型の不純物貯留層6とn型ゲート電極3およびn型の不純物貯留層8とにそれぞれ不純物を選択的にイオン注入する際に、マスクの合わせずれを考慮した合わせずれマージンである。

すなわち、p型ゲート電極2およびp型の不純物貯留層6とn型ゲート電極3およびn型の不純物貯留層8のイオン注入時のマスクは、図1の点線の領域までそれぞれ形成され、かつ、点線の領域で両者のマスクが重ならないように形成される。

【0013】

また、p型の不純物貯留層6およびn型の不純物貯留層8に、それぞれp+、

n+不純物が導入されることにより、p型の不純物貯留層6およびn型の不純物貯留層8は、不純物の一種の貯留源となる。

すなわち、p型の不純物貯留層6およびn型の不純物貯留層8には、それぞれp型ゲート電極2およびn型ゲート電極3と同様の濃度で不純物が導入されているため、p型ゲート電極2およびn型ゲート電極3からのp型の不純物貯留層6およびn型の不純物貯留層8への不純物の横方向拡散が抑制される。

このため、p型ゲート電極2およびn型ゲート電極3の不純物濃度の低下は抑制され、しきい値電圧 V_{th} の変動やゲートの空乏化に基づくソースドレイン間電流 I_{ds} の低下が抑制される。

【0014】

本実施形態に係るゲート電極構造では、p型の不純物貯留層6およびn型の不純物貯留層8をそれぞれp型ゲート電極2およびn型ゲート電極3に対して直交する方向に形成している。

このため、p型の不純物貯留層6およびn型の不純物貯留層8の実効的な長さ L_H を適宜変更しても、PMOS形成領域4とNMOS形成領域5との距離 L_p を変更する必要がない。

【0015】

また、本実施形態では、p型の不純物貯留層6およびn型の不純物貯留層8の実効的な長さ L_H は、図5に示した領域101aおよび102aの長さ L_{diff} 以上とする。

これによって、本実施形態では、他の構造については全く同一とした場合に、図5に示した従来のゲート電極構造の不純物貯留層の有する性能と同様の性能が得られることになる。

【0016】

このとき、本実施形態におけるPMOS形成領域4とNMOS形成領域5との距離 L_p は、次式(1)で表される。

【0017】

$$L_p = 2 \times L_g + 2 \times L_{ovlp} \quad \dots (1)$$

【0018】

一般的には、ゲート長 L_g は、不純物貯留層に必要な長さ L_{diff} よりも短い。
したがって、本実施形態によれば、PMOS形成領域4とNMOS形成領域5との距離 L_p と比べて短縮することが可能となる。

【0019】

実施例として、 $L_g = 0.20 \mu m$ 、 $L_{ovlp} = 0.10 \mu m$ 、 $L_{diff} = 0.30 \mu m$ の場合には、図5に示す従来のゲート電極構造では、 L_p が $0.80 \mu m$ となり、本実施形態では L_p が $0.60 \mu m$ となり、 $0.2 \mu m$ の短縮が可能となる。

したがって、多数のPMOSおよびNMOSが形成された半導体チップでは、チップの面積の縮小化が可能となる。

【0020】

なお、本実施形態では、p型の不純物貯留層6およびn型の不純物貯留層8をそれぞれPMOS形成領域4およびNMOS形成領域5の外に設けたが、本発明はこれに限定されるわけではない。

すなわち、p型の不純物貯留層6およびn型の不純物貯留層8をそれぞれPMOS形成領域4およびNMOS形成領域5と素子分離7と跨ぐ位置に設けることも可能であり、それぞれPMOS形成領域4およびNMOS形成領域5内に設けることも可能である。

【0021】

また、本実施形態では、p型の不純物貯留層6およびn型の不純物貯留層8をp型ゲート電極2およびn型ゲート電極3に直交する方向に設けたが、本発明はこれに限定されない。

すなわち、p型ゲート電極2およびn型ゲート電極3の配置方向に対して直交させるのではなく、当該方向に対して傾斜させる構成とすることも可能である。

【0022】

次に、上述した実施形態のゲート電極構造が素子分離7の幅との関係において有効な範囲に関して具体例を挙げて説明する。

上述した実施形態に係るゲート電極の構造を採用することにより、PMOS形

成領域 4 と NMOS 形成領域 5 との距離 L_p を短縮化することが可能となる。

しかしながら、実際に距離 L_p を短縮するためには、PMOS 形成領域 4 と NMOS 形成領域 5 とを分離する素子分離 7 の素子分離幅 L_{iso} も短縮可能でなければならない。

具体的には、素子分離幅 L_{iso} が少なくとも次式 (2) で表される条件を満たす場合には、上述した実施形態のゲート電極構造の適用によって素子形成領域間の距離 L_p を短縮することができる。

【0023】

$$L_{iso} < 2 \times L_{diff} + 2 \times L_{ovlp} \quad \dots (2)$$

【0024】

ここで、図 2 は、図 1 に示したゲート電極構造を有する半導体装置の A-A 線方向の断面図であって、PMOS 形成領域 4 と NMOS 形成領域 5 との距離 L_p の短縮化に合わせて素子分離の幅を短縮化可能な構造の半導体装置の一例である。

図 2 において、シリコン基板 10 内には、P ウェル 11 および N ウェル 12 が形成されている。

これら P ウェル 11 および N ウェル 12 の境界を跨ぐように、シリコン基板 10 に形成されたトレンチ状の溝 13a に、たとえば、酸化シリコンからなるトレンチ素子分離 7 が埋め込まれている。

シリコン基板 10 上には、絶縁膜 15 を介して p 型ゲート電極 2 および n 型ゲート電極 3 が形成され、素子分離 7 上には p 型の不純物貯留層 6、n 型の不純物貯留層 8 およびポリシリコン配線 10 が形成されている。

図中の L_{iso} がトレンチ素子分離 7 の素子分離幅である。

【0025】

一般的に、トレンチ素子分離はトレンチ状の溝に埋めこまれるため、素子分離幅 L_{iso} を比較的小さくすることが知られている。なお、トレンチ素子分離 7 の形成方法は、一般的に知られているものを用いればよく、詳細説明は省略する。

具体的には、上述した実施形態における $L_g = 0.20 \mu m$ 、 $L_{ovlp} = 0.10 \mu m$ 、 $L_{diff} = 0.30 \mu m$ の条件の下では、 L_{iso} は $0.40 \mu m$ 程度まで

形成可能である。

したがって、図5に示した従来のゲート電極構造の場合の素子形成領域間の幅 L_p が $0.80\mu m$ であることから、 L_{iso} はこれよりも十分短く、上述した実施形態のゲート電極構造の適用によって素子形成領域間の距離 L_p を短縮することができる。

【0026】

図3は、図1に示したゲート電極構造を有する半導体装置のA-A線方向の断面図であって、PMOS形成領域4とNMOS形成領域5との距離 L_p の短縮化に合わせて素子分離の幅を短縮化可能な構造の半導体装置の他の例である。

図3において、基板17上には絶縁膜21が形成され、PMOS形成領域側の絶縁膜21上にはPMOS基板（又はウェル）18が形成され、NMOS形成領域側の絶縁膜21上にはNMOS基板（又はウェル）19が形成されている。

PMOS基板（又はウェル）18とNMOS基板（又はウェル）19との間にはトレンチ素子分離7が埋め込まれている。

PMOS基板（又はウェル）18上には絶縁膜22を介してp型ゲート電極2が形成され、NMOS基板（又はウェル）19上には絶縁膜22を介してn型ゲート電極3が形成され、トレンチ素子分離7上にはp型の不純物貯留層6、n型の不純物貯留層8およびポリシリコン配線10が形成されている。

【0027】

図3に示す半導体装置は、絶縁膜21上にPMOS基板（又はウェル）18およびNMOS基板（又はウェル）19が形成されたSOI（Silicon on Insulator）構造を採っている。

この構造では、PMOS基板（又はウェル）18およびNMOS基板（又はウェル）19がトレンチ素子分離7によって電氣的に完全に絶縁されるため、素子分離性能が極めて高い。

また、図3における素子分離幅 L_{iso} 、素子分離構造の最小作製可能寸法に近いものが期待できる。

たとえば、上述した実施形態における $L_g = 0.20\mu m$ 、 $L_{ovlp} = 0.10\mu m$ 、 $L_{diff} = 0.30\mu m$ の条件の下では、 L_{iso} はゲート長 L_g と同じ0.

20 μ mとすることが可能である。

したがって、このような素子分離分離構造に上述の実施形態に係るゲート電極構造を適用すれば、PMOSとNMOS間の距離 L_p を大幅に短縮できる。

【0028】

【発明の効果】

本発明によれば、ゲート不純物の横方向拡散を抑制が可能で、かつNMOSとPMOSとの間隔の短縮が可能となり、チップ面積の縮小が可能となる。

【図面の簡単な説明】

【図1】

本発明の半導体装置のゲート電極の構造の一実施形態を示す説明図である。

【図2】

図1に示したゲート電極構造を有する半導体装置のA-A線方向の断面図であって、PMOS形成領域4とNMOS形成領域5との距離 L_p の短縮化に合わせて素子分離の幅を短縮化可能な構造の半導体装置の一例である。

【図3】

図1に示したゲート電極構造を有する半導体装置のA-A線方向の断面図であって、PMOS形成領域4とNMOS形成領域5との距離 L_p の短縮化に合わせて素子分離の幅を短縮化可能な構造の半導体装置の他の例である。

【図4】

Dual Gate 構造のCMOSのゲート電極構造の一例を示す説明図である。

【図5】

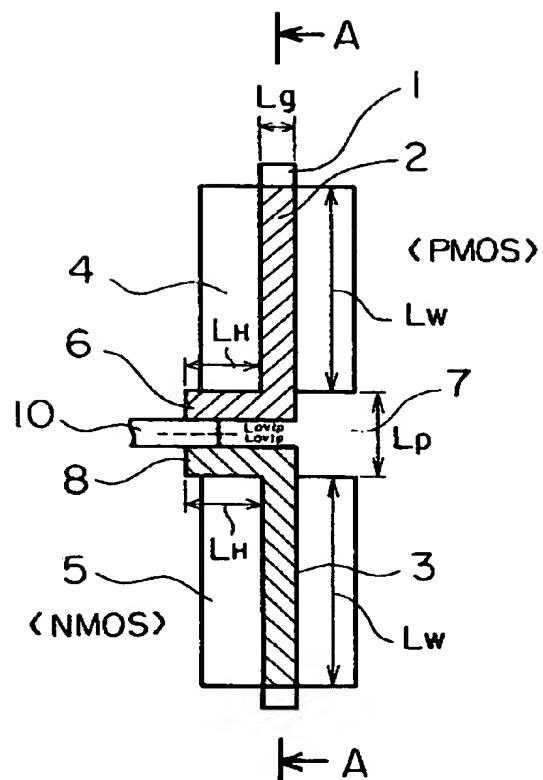
Dual Gate 構造のCMOSのゲート電極構造の他の例を示す説明図である。

【符号の説明】

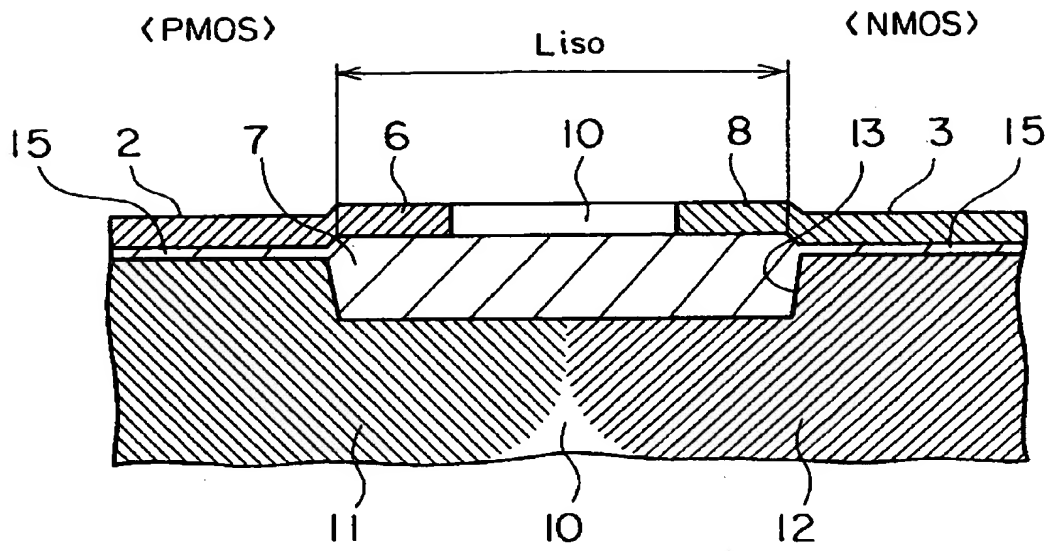
1…ポリシリコン層、2…p型、4…PMOS形成領域、5…NMOS形成領域、7…素子分離、6…p型の不純物貯留層、8…n型の不純物貯留層、10…ポリシリコン配線。

【書類名】 図面

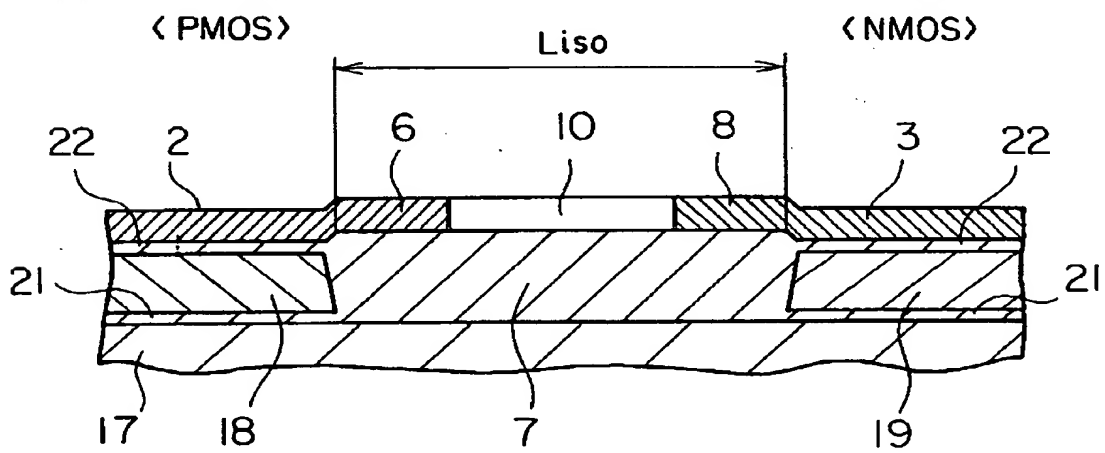
【図1】



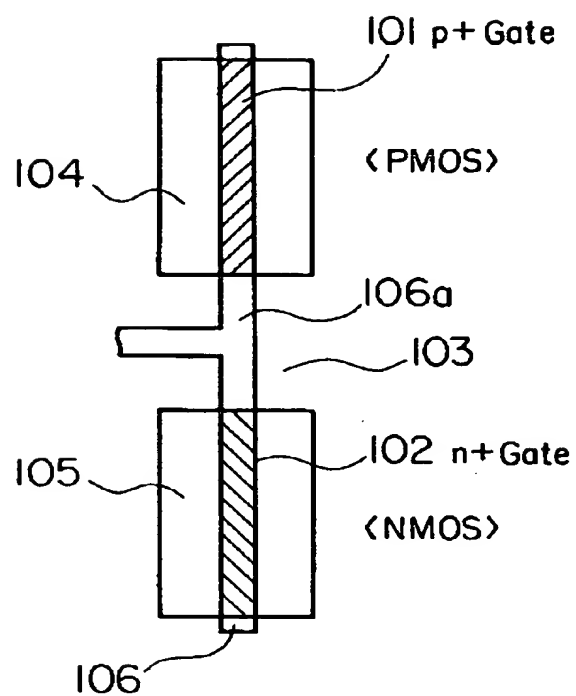
【図2】



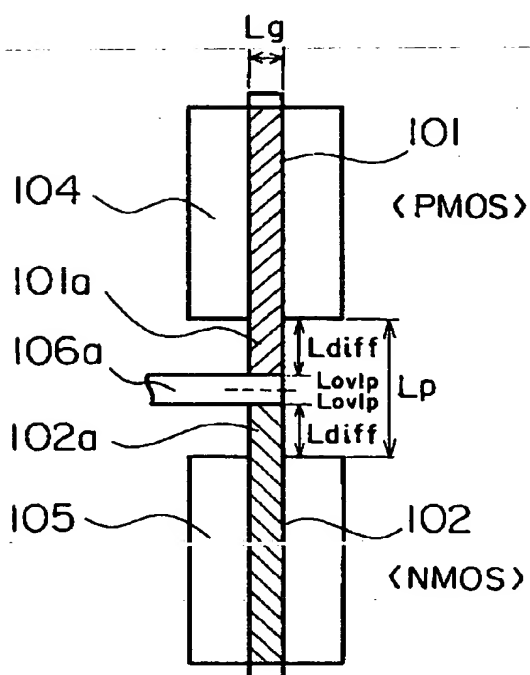
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 Dual Gate 構造を有するCMOSのn型およびp型ゲート電極にそれぞれドーピングされた不純物が横方向拡散するのを抑制しつつ、PMOSとNMOSとの距離をさらに短縮して、さらなる縮小化が可能な半導体装置を提供する。

【解決手段】 素子分離7によって分離されたPMOSおよびNMOS形成領域4, 5と、PMOS形成領域上に設けられるp型ゲート電極2と、NMOS形成領域上に設けられるn型ゲート電極3と、一端がp型ゲート電極2またはn型ゲート電極3の端部に接続され、ゲート電極2, 3の配置方向とは異なる方向に設けられ、他端が電氣的に相互接続された不純物貯留層6, 8とを有するものとした。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002185

【住所又は居所】 東京都品川区北品川6丁目7番35号

【氏名又は名称】 ソニー株式会社

【代理人】 申請人

【識別番号】 100094053

【住所又は居所】 東京都台東区柳橋2丁目4番2号 創進国際特許事務所

【氏名又は名称】 佐藤 隆久

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社